

(51)Int.Cl.

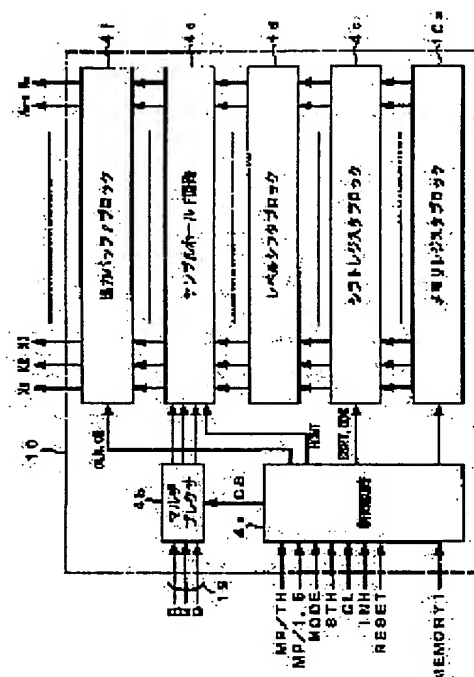
G09G 3/36
G02F 1/133
G09G 3/20

(71)Applicant : CASIO COMPUT CO LTD
(72)Inventor : SASHITA HIDEKI

(54) DISPLAY DRIVING DEVICE

(57)Abstract:

SOLUTION: A signal driver 10 transfers sampling start signals SSRT from a control circuit 4a by a shift register 4c. In accordance with the above, luminance signals of RGB colors supplied from an inversion amplifier are held by a sample-and-hold circuit 4e and outputted through an output buffer block 4f. The circuit 4a sets the bits of a memory register block 10a corresponding to the region to be displayed to 'High' in accordance with memory signals MEMORY 1 from a controller. In a shift register block 4d, only the bits (signal lines) corresponding to the memory cells that are set to 'High' of the block 10a are made effective.



*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.***** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Liquid crystal picture elements arranged at matrix form turned on and off by a driving signal impressed to two or more signal lines formed so that it might intersect perpendicularly with two or more scan lines and a scan line of this plurality to a liquid crystal panel which it has to predetermined timing. In a display drive which supplies a scanning signal to two or more scan lines, and supplies a display data signal to said two or more signal lines, By transmitting an output timing pulse with both sides of said two or more scan lines or two or more of said signal lines, and a shift register which crawls and has a number of stages corresponding to one [a gap or] line number, both sides of said scanning signal or a display data signal, A display drive, wherein it has a determination output timing pulse creating means for timing which crawls and

supplies a gap or one side and said output timing pulse creating means possesses a transmission range control means which controls the transmission range of an output timing pulse in said shift register.

[Claim 2]The display drive according to claim 1, wherein said transmission range control means has a memory cell which sets up a transmission detour stage of said output timing pulse in said shift register.

[Claim 3]Have said output timing pulse creating means, and a shift register which has a number of stages corresponding to said two or more numbers of scan lines with this shift register. The display drive according to claim 1 transmitting in order a scanning timing pulse which determines timing which supplies said scanning signal supplied to said two or more scan lines.

[Claim 4]Have said output timing pulse creating means, and a shift register which has a number of stages corresponding to said two or more numbers of signal lines with this shift register. The display drive according to claim 1 transmitting in order a sampling timing pulse which determines timing which supplies said display data signal supplied to said two or more signal lines.

[Claim 5]The display drive according to claim 1, wherein said transmission range control means has two or more memory cells and sets up a transmission detour stage of said scanning timing pulse in a shift register corresponding to said scan line according to each output level of a memory cell of this plurality.

[Claim 6]The display drive according to claim 1, wherein said transmission range control means has two or more memory cells and sets up a transmission detour stage of said sampling timing pulse in a shift register corresponding to said signal line according to each output level of a memory cell of this plurality.

[Translation done.]

* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention relates to the display drive which drives a liquid crystal display panel.

[0002]

[Description of the Prior Art]Drawing 5 is a block diagram showing the partial composition of the display drive which drives the conventional TFT-liquid-crystal display panel. In a figure, the liquid crystal display panel (LCD) 7, Two or more scan line and two or more signal lines which were formed in matrix form, It comprises a liquid-crystal-picture-elements electrode which was formed near [intersection] each [of the scan line of this plurality, and two or more signal lines] and which is turned on and off by a switching element and these switching elements, such as a thin film transistor (TFT).

[0003]Display driving of the above-mentioned liquid crystal display panel is carried out by the signal driver 4 and the scanning driver 5 to illustrate. The signal driver 4 supplies the luminance signal 8 of each RGB color to the signal line of LCD7 according to the horizontal control signal from the controller which is not illustrated. The scanning side driver 5 impresses a gate pulse to the scan line of LCD7 one by one according to the vertical control signal from the controller which is not illustrated.

[0004]Here, drawing 6 is a block diagram showing the composition of the signal driver 4 mentioned above. In drawing 6, the signal driver 4 comprises the control circuit 4a, the multiplexer 4b, the shift register block 4c, the level-shifter block 4d, the sample hold circuit 4e, and the output buffer block 4f. The control signal from the controller which does not illustrate the control circuit 4a () [MP/TH and] According to MP/1.5, MODE, STH, CL, INH, and RESET, Control signal CS is supplied to the multiplexer 4b, start signal SSRT and the dot clock DCK are supplied to the shift register 4c, the level switching signal HCNT is supplied to the sample hold circuit 4e, and clear signal CLR and the output enable signal OE are supplied to the output buffer block 4f.

[0005] According to control signal MP/TH and control signal CS generated according to MP/1.5, the multiplexer 4b performs filtering processing to the luminance signal 19 of each RGB color, and supplies it to the sample hold circuit 4e one by one. The shift register block 4c is transmitted one by one, and is supplied to the level-shifter block 4d while it incorporates start signal SSRT according to the dot clock DCK. The output signal of the shift register block 4c is changed into the signal level of a drive system from the signal level of a signal-processing system, and the level-shifter block 4d outputs it.

[0006] The sample hold circuit 4e follows the output of a level-shifter block, and samples and holds the luminance signal 19 of R, G, and B each color to predetermined timing. While the output buffer block 4f supplies the output signal of the sample hold circuit 4e to two or more signal lines of LCD7 according to the output enable signal OE, According to the clear signal CLR, a signal line is grounded at the time of the start of each horizontal scanning period (or pull-up), and the electric charge currently held at liquid crystal capacity is discharged (or charge).

[0007] Next, drawing 7 is a block diagram showing the composition of the scanning driver 5. In the figure, the scanning driver 5 comprises the control circuit 5a, the shift register block 5b, and the output buffer block 5c. The control circuit 5a supplies standard shift timing signal STS generated based on gate start signal GSRT and gate clock signal GPCK to the shift register block 5b according to the control signal (MODE, GSRT, GPCK) from the controller which is not illustrated. Based on standard shift timing signal STS, the shift register block 5b generates a shift pulse signal one by one, and supplies it to the output buffer block 5c. The output buffer block 5c impresses the output signal of the shift register block 5b to the scan line of LCD7, and carries out the horizontal scanning of two or more scan lines one by one.

[0008] Also in any of the signal driver 4 and the scanning driver 5 with the conventional display drive mentioned above, Only have one step of shift register blocks 4c and 5b, and the signal driver 4, Transmitting gate start signal GSRT one by one by the shift register block 4c according to a shift clock, similarly, the scanning driver 5 is transmitting a sampling pulse one by one by the shift register block 5b, and has composition on which LCD7 is displayed.

[0009]

[Problem(s) to be Solved by the Invention] By the way, in the display drive by conventional technology. In [in the signal driver 4, if gate start signal GSRT is inputted, will scan a scan line sequentially, and] the scanning driver 5, At the time of a letter box display which is displayed only on the arbitrary fields of LCD7 since the sampling pulse was only transmitted one by one, etc. When displaying only on the staging area of a screen, gate start signal GSRT had to be wound rapidly till the required place according to gate clock signal GPCK, or the transmission range of a sampling pulse had to be restricted, and there was a problem that control became complicated.

[0010] Then, an object of this invention is to provide the display drive which can perform without complicated control easily the special display which displays only the arbitrary area of a screen.

[0011]

[Means for Solving the Problem] A display drive by the invention according to claim 1 for the above-mentioned purpose achievement, Liquid crystal picture elements arranged at matrix form turned on and off by a driving signal impressed to two or more signal lines formed so that it might intersect perpendicularly with two or more scan lines and a scan line of this plurality to a liquid crystal panel which it has to predetermined timing. In a display drive which supplies a scanning signal to two or more scan lines, and supplies a display data signal to said two or more signal lines, By transmitting an output timing pulse with both sides of said two or more scan lines or two or more of said signal lines, and a shift register which crawls and has a number of stages corresponding to one [a gap or] line number, both sides of said scanning signal or a display data signal, Yes, it has a determination output timing pulse creating means for timing which supplies a gap or one side, and said output timing pulse creating means is characterized by providing a transmission range control means which controls the transmission range of an output timing pulse in said shift register.

[0012] It may be made to have a memory cell which sets up the transmission detour stage of said output timing pulse [in / in / like / the display drive according to claim 1 / in said transmission range control means / said shift register] according to claim 2 as a desirable mode, for example.

[0013] In the display drive according to claim 1, as a desirable mode, for example like a statement to claim 3 said output timing pulse creating means, It has a shift register which has a number of stages corresponding to said two or more numbers of scan lines, and may be made to transmit in order a scanning timing pulse which determines timing which supplies said scanning signal supplied to said two or more scan lines with this shift register.

[0014] In the display drive according to claim 1, as a desirable mode, for example like a statement to claim 4

said output timing pulse creating means, It has a shift register which has a number of stages corresponding to said two or more numbers of signal lines, and may be made to transmit in order a sampling timing pulse which determines timing which supplies said display data signal supplied to said two or more signal lines with this shift register.

[0015]In the display drive according to claim 1, as a desirable mode, for example like a statement to claim 5 said transmission range control means, It has two or more memory cells, and may be made to set up a transmission detour stage of said scanning timing pulse in a shift register corresponding to said scan line according to each output level of two or more of said memory cells.

[0016]In the display drive according to claim 1, as a desirable mode, for example like a statement to claim 6 said transmission range control means, It has two or more memory cells, and may be made to set up a transmission detour stage of said sampling timing pulse in a shift register corresponding to said signal line according to each output level of two or more of said memory cells.

[0017]

[Embodiment of the Invention]Hereafter, an embodiment of the invention is described with reference to drawings.

A. The lineblock diagram 1 of 1st embodiment A-1. a 1st embodiment is a block diagram showing the composition of the liquid crystal display by the embodiment of this invention. The same numerals are attached to the portion corresponding to drawing 5, and explanation is omitted. The RGB decoder 1 in a figure The luminance signal and Horizontal Synchronizing signal H of each RGB color. Vertical Synchronizing signal V is generated from a composite video signal, the luminance signal of each RGB color is outputted to the inverting amplifier 3, and Horizontal Synchronizing signal H, Vertical Synchronizing signal V, and the composite synchronizing signal CSY are outputted to the controller 2.

[0018]According to Horizontal Synchronizing signal H and Vertical Synchronizing signal V, and the composite synchronizing signal CSY, a horizontal control signal is supplied to the signal driver 10, it supplies a vertical control signal to the scanning side driver 11, and the controller 2 supplies inversion-signals FRP to the inverting amplifier 3 and the amplifier 6. Starting this invention, the controller 2 supplies memory signal MEMORY1 for displaying an image only on the arbitrary fields of LCD7, and MEMORY2 to the signal driver 10 and the scanning side driver 11, respectively. The inverting amplifier 3 amplifies and outputs the signal level of the luminance signal of each RGB color with a positive or negative amplification factor according to inversion-signals FRP supplied from the controller 2.

[0019]The signal driver 10 supplies the luminance signal 8 of each RGB color supplied from the inverting amplifier 3 to the signal line of LCD7 according to a horizontal control signal. At this time, the luminance signal 8 of each RGB color is supplied only to the signal line beforehand set up according to the above-mentioned memory signal MEMORY1. The scanning side driver 11 impresses a gate pulse to the scan line of LCD7 one by one according to the vertical control signal from the controller 2. At this time, a gate pulse is supplied only to the scan line of LCD7 beforehand set up according to the above-mentioned memory signal MEMORY2 like the above-mentioned signal driver 10. The amplifier 6 reverses the polarity of the common voltage Vcom impressed to LCD7 according to inversion-signals FRP supplied from the controller 2.

[0020]A-2. the composition of a signal driver -- here explains the composition of the signal driver 4 in connection with operation of this embodiment. Drawing 2 is a block diagram showing the composition of the signal driver 10. The same numerals are attached to the portion corresponding to drawing 7, and explanation is omitted. In the figure, the signal driver 10 comprises the control circuit 4a, the multiplexer 4b, the memory register block 10a, the shift register block 4c, the level shift block 4d, the sample hold circuit 4e, and the output buffer blocks 4f. In this embodiment, the memory register block 10a was newly added, and is the same as what is shown in drawing 7 about other composition. It is the same as what is shown in drawing 7 also about control signals other than memory signal MEMORY1. The memory register block 10a comprises a memory cell for several signal-line minutes, and decides which signal line to validate from the state of a memory cell. The control circuit 4a sets up the state of the memory cell of the above-mentioned memory register block 10a according to memory signal MEMORY1 from the controller 2.

[0021]The signal driver 10 transmits sampling start signal SSRT from the control circuit 4a with the shift register 4c. According to this, the luminance signal 8 of each RGB color supplied from the inverting amplifier 3 is held by the sample hold circuit 4e, and it outputs via the output buffer block 4f. The control section 4a sets the bit of the memory register block 10a corresponding to the field which should be displayed as "High" according to memory signal MEMORY1 from the controller 2. In the shift register block 4d, only the bit (signal line) corresponding to the memory cell set as "High" of the above-mentioned memory register block 10a becomes effective to transmission of the above-mentioned sampling start signal

SSRT.

[0022]A-3. The composition, next drawing 3 of a scanning driver are a block diagram showing the composition of a scanning driver. The same numerals are attached to the portion corresponding to drawing 8, and explanation is omitted. In the figure, the scanning driver 11 comprises the control circuit 5a, the memory register block 11a, the shift register block 5b, and the output buffer block 5c. In this embodiment, like the signal driver 10, the memory register block 11a was newly added, and is the same as what is shown in drawing 8 about other composition. It is the same as what is shown in drawing 8 also about control signals other than memory signal MEMORY2. The memory register block 11a comprises a memory cell for several scan line minutes, and decides which scan line to validate from the state of a memory cell. The control circuit 5a sets up the state of the memory cell of the above-mentioned memory register block 11a according to memory signal MEMORY2 from the controller 2.

[0023]The scanning driver 11 transmits standard shift timing signal STS from the control circuit 5a by the shift register block 5b, generates a shift pulse signal one by one, and outputs it via the output buffer block 5c. The control section 5a sets the bit of the memory register block 11a corresponding to the field which should be displayed as "High" according to memory signal MEMORY2 from the controller 2. In the shift register block 5b, only the bit (signal line) corresponding to the memory cell set as "High" of the above-mentioned memory register block 11a becomes effective to transmission of said shift timing signal STS.

[0024]A-4. The lineblock diagram 4 of a memory register block and a shift register block is a circuit diagram showing the composition of the memory register block 10a (11a) of the signal driver 10 and the scanning driver 11 which were mentioned above, and the shift register block 4c (5b). In the following explanation, with the signal driver 10 and the scanning driver 11, since the composition of the memory register block 10a (11a) and the shift register block 4c (5b) is almost the same, What is necessary is to explain the signal driver 10 and just to mainly refer to the numerals in a parenthesis for the scanning driver 11.

[0025]In a figure, the memory register block 10a (11a), In [comprise the 1-bit memory cell 15-1 by which cascade connection was carried out several signal-line minutes (several scan line minutes) - 15-n, and] each memory cell 15-1 - 15-n, The memory cell corresponding to "High" and the pixel row (pixel row) which is not displayed in the memory cell corresponding to the pixel row (pixel row) which should be displayed on a vertical-retrace-line period is set as "Low" by memory signal MEMORY1 (MEMORY2). The state ("High" or "Low") where it was set as each memory cell 15-1 - 15-n, Switch SWA1 provided in the input edge of the flip-flops FF1-FFn with which the shift register block 4c (5b) corresponds - SWAn, And it is supplied as switch SWB1 inserted in the bypass of the flip-flops FF1-FFn - an ON-and-OFF control signal of SWBn.

[0026]The shift register block 4c (5b), In order to transmit start signal SSRT (standard shift timing signal STS) one by one according to the clock DCK, Comprise the flip-flops FF1-FFn by which cascade connection was carried out, and between each input edge and outgoing end of the flip-flop of the preceding paragraph, While switch SWA1 - SWAn are inserted, switch SWB1 - SWBn are inserted in the bypass which connects the input edge and outgoing end of a self-flip-flop.

[0027]If this switch SWA1 - SWAn will be in an ON state if the output of a corresponding memory cell serves as "High", and they serve as "Low", they will be in an OFF state. If switch SWB1 - SWBn will be in an OFF state if the output of a corresponding memory cell serves as "High", and they serve as "Low", they will be in an ON state. Namely, when the output of a corresponding memory cell is "High." Since ON state and switch SWB1 - SWBn will be in an OFF state in switch SWA1 - SWAn, the flip-flops FF1-FFn output start signal SSRT (standard shift timing signal STS) from the preceding paragraph to the latter part according to the clock DCK. On the other hand, when the output of a corresponding memory cell is "Low." OFF state and switch SWB1 - SWBn bypass the flip-flop with which start signal SSRT (standard shift timing signal STS) from the preceding paragraph corresponds since it will be in an ON state (detour), and switch SWA1 - SWAn are supplied to the flip-flop of the next step. By the above-mentioned composition, it is transmitted only to the flip-flop corresponding to the memory cell which set up "High" by start signal SSRT (standard shift timing signal STS), and by it. Since a status signal (it is a scanning signal only to a pixel row) is supplied only to a corresponding pixel row, it becomes possible to set up a viewing area arbitrarily.

[0028]B. Explain operation of an embodiment, next the operation of an embodiment mentioned above. LCD controller 2 supplies memory signal MEMORY1 (MEMORY2) predetermined to the signal driver 10 and the scanning side driver 11 during the vertical retrace line. In the signal driver 10 and the scanning side driver 11. Respectively, the memory cell corresponding to "High" and the pixel row (pixel row) which is not displayed for the memory cell corresponding to the pixel row which should be displayed is set as "Low" by

the control circuits 4a and 5a to the memory cell 15-1 in the memory register blocks 10a and 11a - 15-n. [0029]In the shift register blocks 4c and 5b, switch SWA1 corresponding to the memory cell set as "High" - SWAn An ON state, Switch SWB1 - SWBn will be in an OFF state, and, in switch SWA1 corresponding to the memory cell set as "Low" - SWAn, OFF state and switch SWB1 - SWBn will be in an ON state.

[0030]Switch SWA1 - SWAn by an ON state by this to the flip-flops FF1-FFn switch SWB1 - whose SWBn(s) are OFF states. The output from the flip-flop of the preceding paragraph is supplied, and the output from the flip-flop of the preceding paragraph is not supplied to the flip-flops FF1-FFn switch SWB1 - whose SWBn(s) switch SWA1 - SWAn are ON states in an OFF state.

[0031]Namely, in the signal driver 10, sampling start signal SSRT from the control circuit 4a is transmitted by effective flip-flop FF of the shift register 4c, According to this, the luminance signal 8 of each RGB color supplied from the inverting amplifier 3 is held by the sample hold circuit 4e, and it outputs to the signal line of LCD7 via the output buffer block 4f. In the scanning driver 11, standard shift timing signal STS from the control circuit 5a is transmitted by effective flip-flop FF of the shift register block 5b, a shift pulse signal is generated one by one, and it outputs to the scan line of LCD7 via the output buffer block 5c.

[0032]Therefore, the luminance signal 8 of each RGB color is supplied only to the signal line of LCD7 corresponding to the memory cell set as "High", and a shift pulse signal is supplied only to the scan line of LCD7 corresponding to the memory cell set as "High." Therefore, it becomes possible to perform easily without complicated control a letter box display etc. which are displayed only on the arbitrary fields of LCD7. It becomes possible to use one driver for the drive of the panel of various pixel numbers. In said example although the number of the memory cells in a transmission range control means is the number of signal lines or the number of scan lines, and the same number, It may be made for the number of memory cells to differ from the number of signal lines by making the detour number of stages of the output timing pulse per [in said shift register] 1 bit of memory cells into plurality.

[0033]

[Effect of the Invention]According to the invention according to claim 1, by an output timing pulse creating means. With the both sides of two or more scan lines or two or more signal lines, and the shift register which crawls and has a number of stages corresponding to one [a gap or] line number. When transmitting in order the both sides of said scanning signal or a display data signal, and the output timing pulse which determines the timing which crawls and supplies a gap or one side, by a transmission range control means. Since the transmission range of the output timing pulse in said shift register was controlled, the advantage that the special display which displays only the arbitrary area of a screen can be easily performed without complicated control is acquired.

[0034]Since it was made to have a memory cell which sets up the transmission detour stage of said output timing pulse in said shift register in said transmission range control means according to the invention according to claim 2, The advantage that the special display which displays only the arbitrary area of a screen can be easily performed without complicated control is acquired.

[0035]According to the invention according to claim 3, by said output timing pulse creating means. Since the scanning timing pulse which determines the timing which supplies said scanning signal supplied to said two or more scan lines with the shift register which has a number of stages corresponding to said two or more numbers of scan lines was transmitted in order, The advantage that the special display which displays only the arbitrary area of a screen can be easily performed without complicated control is acquired.

[0036]According to the invention according to claim 4, by said output timing pulse creating means. With the shift register which has a number of stages corresponding to said two or more numbers of signal lines. Since the sampling timing pulse which determines the timing which supplies said display data signal supplied to said two or more signal lines was transmitted in order, the advantage that the special display which displays only the arbitrary area of a screen can be easily performed without complicated control is acquired.

[0037]According to the invention according to claim 5, by said transmission range control means. Since the transmission detour stage of said scanning timing pulse in the shift register corresponding to said scan line was set up according to each output level of two or more memory cells, The advantage that the special display which displays only the arbitrary area of a screen can be easily performed without complicated control is acquired.

[0038]According to the invention according to claim 6, by said transmission range control means. Since the transmission detour stage of said sampling timing pulse in the shift register corresponding to said signal line was set up according to each output level of two or more memory cells, The advantage that the special display which displays only the arbitrary area of a screen can be easily performed without complicated

control is acquired.

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]It is a block diagram showing the composition of the display drive by the embodiment of this invention.

[Drawing 2]It is a block diagram showing the abbreviated composition of a signal driver.

[Drawing 3]It is a block diagram showing the abbreviated composition of a scanning driver.

[Drawing 4]It is a circuit diagram showing the composition of a memory register block and a shift register block.

[Drawing 5]It is a block diagram showing the partial composition of the display drive which drives the conventional TFT-liquid-crystal display panel.

[Drawing 6]It is a block diagram showing the composition of the signal driver in the conventional display drive.

[Drawing 7]It is a block diagram showing the composition of the scanning driver in the conventional display drive.

[Description of Notations]

1 RGB decoder

2 Controller

3 Inverting amplifier

4c Shift register block (a shift register, an output timing pulse creating means, sampling timing pulse creating means)

4e Sample hold circuit

4f output buffer block

5b Shift register block (a shift register, an output timing pulse creating means, scanning timing pulse creating means)

5c Output buffer block

6 Amplifier

7 LCD

10 Signal driver

11 Scanning driver

10a memory register block (transmission range control means)

11a memory register block (transmission range control means)

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

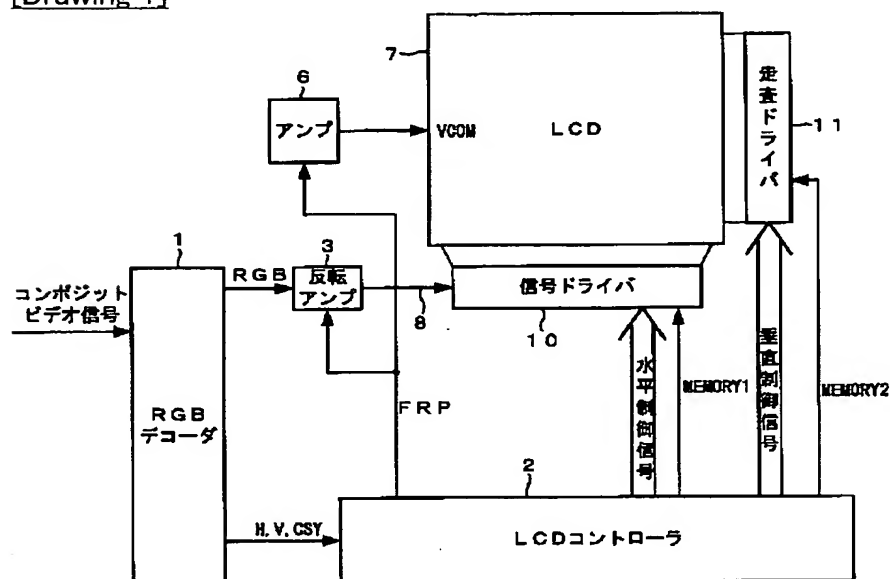
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

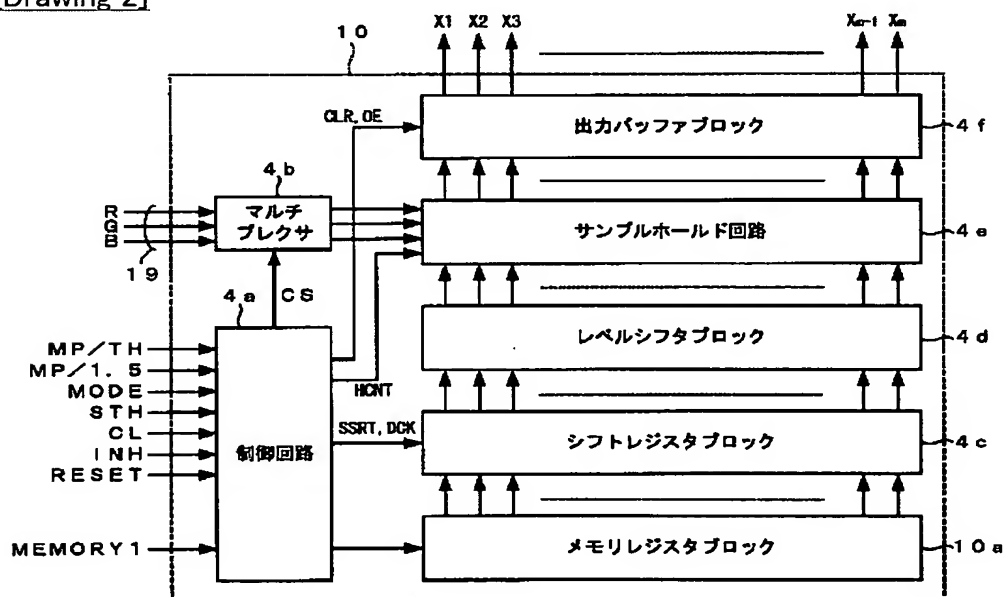
3. In the drawings, any words are not translated.

DRAWINGS

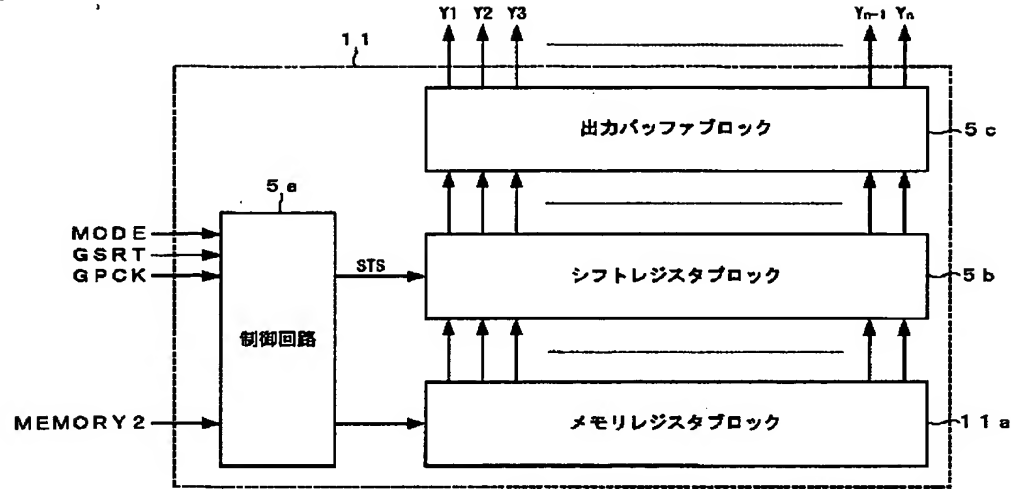
[Drawing 1]



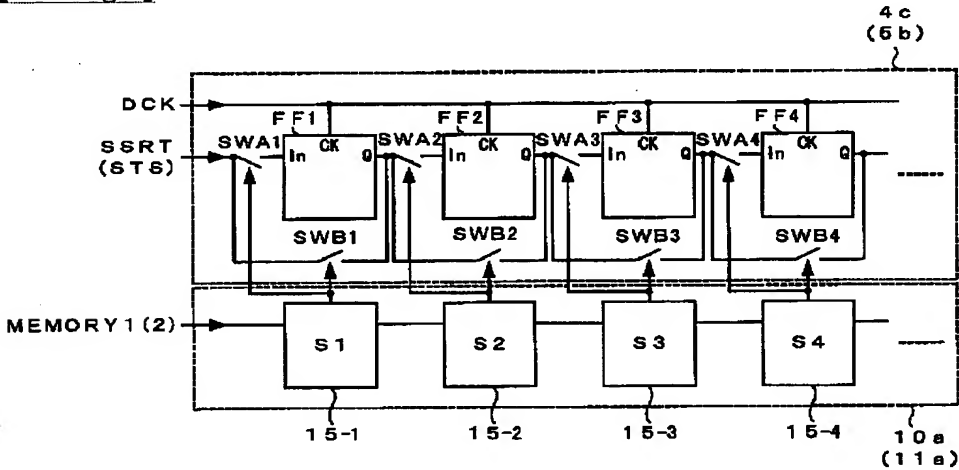
[Drawing 2]



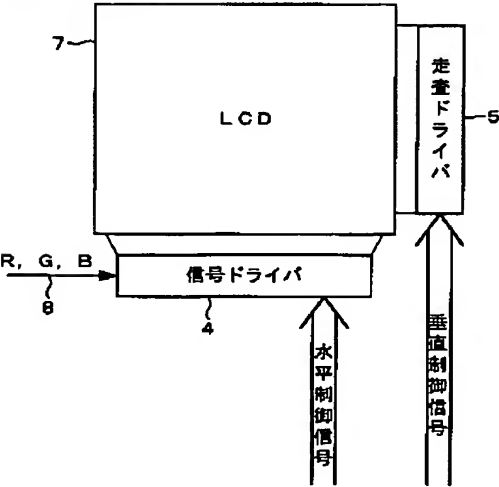
[Drawing 3]



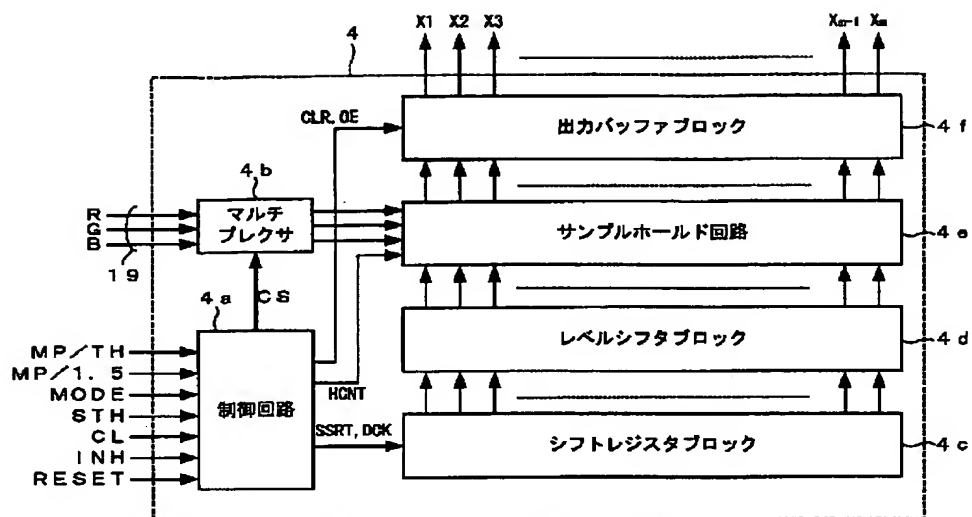
[Drawing 4]



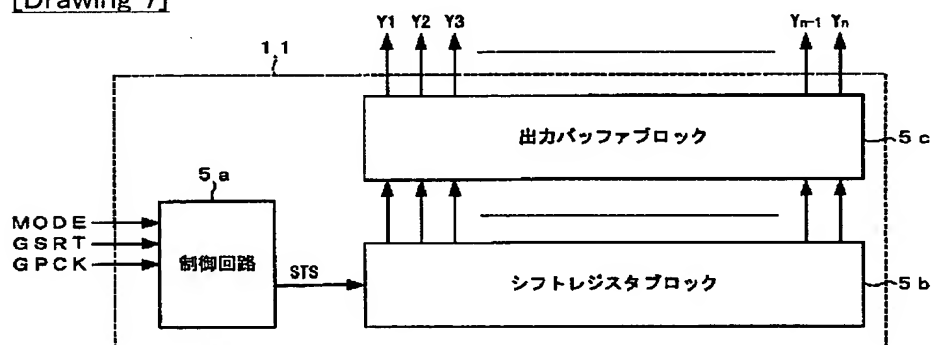
[Drawing 5]



[Drawing 6]



[Drawing 7]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-181414

(P2000-181414A)

(43) 公開日 平成12年6月30日 (2000.6.30)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 5 C 0 0 6
G 0 9 G 3/20	6 2 2	G 0 9 G 3/20	6 2 2 D 5 C 0 8 0
	6 2 3		6 2 3 D

審査請求 未請求 請求項の数 6 O L (全 9 頁)

(21) 出願番号 特願平10-359223

(22) 出願日 平成10年12月17日 (1998.12.17)

(71) 出願人 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(72) 発明者 指田 英樹

東京都八王子市石川町2951番地の5 カシオ計算機株式会社八王子研究所内

(74) 代理人 100096699

弁理士 鹿嶋 英資

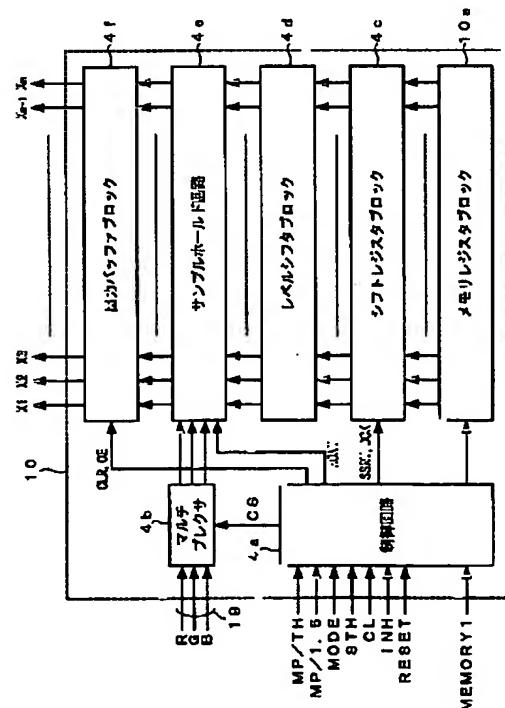
最終頁に続く

(54) 【発明の名称】 表示駆動装置

(57) 【要約】

【課題】 複雑な制御なしに、画面の任意領域だけを表示する特殊表示を容易に行う。

【解決手段】 信号ドライバ10は、制御回路4aからのサンプリングスタート信号SSRTをシフトレジスタ4cにより転送し、これに従って、反転アンプ3から供給されるRGB各色の輝度信号8をサンプルホールド回路4eによりホールドして出力バッファブロック4fを介して出力する。制御部4aは、コントローラ2からのメモリ信号MEMORY1に従って、表示すべき領域に対応するメモリレジスタブロック10aのビットを「High」に設定する。シフトレジスタブロック4dでは、上記メモリレジスタブロック10aの「High」に設定されたメモリセルに対応するビット（信号ライン）のみが有効となる。



【特許請求の範囲】

【請求項1】 複数の走査ラインと該複数の走査ラインに直交するように形成された複数の信号ラインとに印加された駆動信号によりオン／オフされるマトリクス状に配置された液晶画素を有する液晶パネルに対して、所定のタイミングで、複数の走査ラインに走査信号を供給し、前記複数の信号ラインに表示データ信号を供給する表示駆動装置において、

前記複数の走査ラインまたは前記複数の信号ラインの双方、またはいずれか一方のライン数に対応した段数を有するシフトレジスタにより出力タイミングパルスを送送することによって前記走査信号または表示データ信号の双方、またはいずれか一方を供給するタイミングを決定出力タイミングパルス生成手段を備え、

前記出力タイミングパルス生成手段は、前記シフトレジスタにおける出力タイミングパルスの送送範囲を制御する送送範囲制御手段を具備することを特徴とする表示駆動装置。

【請求項2】 前記送送範囲制御手段は、前記シフトレジスタにおける前記出力タイミングパルスの送送迂回段を設定するメモリセルを有することを特徴とする請求項1記載の表示駆動装置。

【請求項3】 前記出力タイミングパルス生成手段は、前記複数の走査ライン数に対応した段数を有するシフトレジスタを有し、該シフトレジスタによって、前記複数の走査ラインに供給される前記走査信号を供給するタイミングを決定する走査タイミングパルスを順に送送することを特徴とする請求項1記載の表示駆動装置。

【請求項4】 前記出力タイミングパルス生成手段は、前記複数の信号ライン数に対応した段数を有するシフトレジスタを有し、該シフトレジスタによって、前記複数の信号ラインに供給される前記表示データ信号を供給するタイミングを決定するサンプリングタイミングパルスを順に送送することを特徴とする請求項1記載の表示駆動装置。

【請求項5】 前記送送範囲制御手段は、複数のメモリセルを有し、該複数のメモリセルの各々の出力レベルに従って、前記走査ラインに対応したシフトレジスタにおける前記走査タイミングパルスの送送迂回段を設定することを特徴とする請求項1記載の表示駆動装置。

【請求項6】 前記送送範囲制御手段は、複数のメモリセルを有し、該複数のメモリセルの各々の出力レベルに従って、前記信号ラインに対応したシフトレジスタにおける前記サンプリングタイミングパルスの送送迂回段を設定することを特徴とする請求項1記載の表示駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、液晶表示パネルを駆動する表示駆動装置に関する。

【0002】

【従来の技術】 図5は、従来のTFT液晶表示パネルを駆動する表示駆動装置の一部構成を示すブロック図である。図において、液晶表示パネル(LCD)7は、マトリクス状に形成された複数の走査ラインおよび複数の信号ライン、該複数の走査ラインおよび複数の信号ラインの各交点近傍に形成された、薄膜トランジスタ(TFT)などのスイッチング素子と該スイッチング素子によりオン／オフされる液晶画素電極から構成されている。

【0003】 上記液晶表示パネルは、図示する信号ドライバ4および走査ドライバ5によって表示駆動される。信号ドライバ4は、図示しないコントローラからの水平制御信号に従って、RGB各色の輝度信号8を、LCD7の信号ラインに供給する。また、走査側ドライバ5は、図示しないコントローラからの垂直制御信号に従って、LCD7の走査ラインに順次ゲートパルスを印加する。

【0004】 ここで、図6は、上述した信号ドライバ4の構成を示すブロック図である。図6において、信号ドライバ4は、制御回路4a、マルチプレクサ4b、シフトレジスタブロック4c、レベルシフタブロック4d、サンプルホールド回路4e、出力バッファブロック4fから構成されている。制御回路4aは、図示しないコントローラからの制御信号(MP/TH、MP/1.5、MODE、STH、CL、INH、RESET)に従って、マルチプレクサ4bに制御信号CSを供給し、シフトレジスタ4cにスタート信号SSRT、ドットクロックDCKを供給し、サンプルホールド回路4eに水平切替信号HCNTを供給し、出力バッファブロック4fにクリア信号CLR、出力イネーブル信号OEを供給する。

【0005】 マルチプレクサ4bは、制御信号MP/TH、MP/1.5に従って生成された制御信号CSに従って、RGB各色の輝度信号19に対してフィルタリング処理を施してサンプルホールド回路4eに順次供給する。シフトレジスタブロック4cは、スタート信号SSRTをドットクロックDCKに従って取り込むとともに、順次送送し、レベルシフタブロック4dに供給する。レベルシフタブロック4dは、シフトレジスタブロック4cの出力信号を信号処理系の信号レベルから駆動系の信号レベルに変換して出力する。

【0006】 サンプルホールド回路4eは、レベルシフタブロックの出力に従ってR、G、B各色の輝度信号19を所定のタイミングでサンプリング及びホールドする。出力バッファブロック4fは、出力イネーブル信号OEに従って、サンプルホールド回路4eの出力信号をLCD7の複数の信号ラインに供給するとともに、クリア信号CLRに従って、各水平走査期間の開始時に信号ラインを接地(またはプルアップ)し、液晶容量に保持されている電荷を放電(または充電)する。

【0007】次に、図7は、走査ドライバ5の構成を示すブロック図である。図において、走査ドライバ5は、制御回路5a、シフトレジスタブロック5b、出力バッファブロック5cから構成されている。制御回路5aは、図示しないコントローラからの制御信号(MODE、GSRT、GPCK)に従って、シフトレジスタブロック5bにゲートスタート信号GSRTとゲートクロック信号GPCKに基づいて生成した基準シフトタイミング信号STSを供給する。シフトレジスタブロック5bは、基準シフトタイミング信号STSに基づいて、順次シフトパルス信号を生成して出力バッファブロック5cに供給する。出力バッファブロック5cは、シフトレジスタブロック5bの出力信号をLCD7の走査ラインに印加し、複数の走査ラインを順次水平走査する。

【0008】上述した従来の表示駆動装置では、信号ドライバ4および走査ドライバ5のいずれにおいても、1段のシフトレジスタブロック4c、5bを備えているだけであり、信号ドライバ4は、ゲートスタート信号GSRTをシフトクロックに従ってシフトレジスタブロック4cにより順次転送し、同様に、走査ドライバ5は、サンプリングパルスをシフトレジスタブロック5bにより順次転送していくことで、LCD7を表示させる構成となっている。

【0009】

【発明が解決しようとする課題】ところで、従来技術による表示駆動装置では、信号ドライバ4においては、ゲートスタート信号GSRTが入力されると、走査ラインを順次走査し、走査ドライバ5においては、サンプリングパルスを順次転送するだけであったため、LCD7の任意の領域だけに表示するようなレターボックス表示時など、画面の中間領域のみに表示するような場合、ゲートスタート信号GSRTを必要となるまでゲートクロック信号GPCKに従って空送りしたり、サンプリングパルスの転送範囲を制限したりしなければならず、制御が複雑になるという問題があった。

【0010】そこで本発明は、複雑な制御なしに、画面の任意領域だけを表示する特殊表示を容易に行うことができる表示駆動装置を提供することを目的とする。

【0011】

【課題を解決するための手段】上記目的達成のため、請求項1記載の発明による表示駆動装置は、複数の走査ラインと該複数の走査ラインに直交するように形成された複数の信号ラインとに印加された駆動信号によりオン/オフされるマトリクス状に配置された液晶画素を有する液晶パネルに対して、所定のタイミングで、複数の走査ラインに走査信号を供給し、前記複数の信号ラインに表示データ信号を供給する表示駆動装置において、前記複数の走査ラインまたは前記複数の信号ラインの双方、またはいずれか一方のライン数に対応した段数を有するシフトレジスタにより出力タイミングパルスを転送するこ

とによって前記走査信号または表示データ信号の双方、またはいずれか一方を供給するタイミングを決定出力タイミングパルス生成手段を備え、前記出力タイミングパルス生成手段は、前記シフトレジスタにおける出力タイミングパルスの転送範囲を制御する転送範囲制御手段を具備することを特徴とする。

【0012】また、好ましい態様として、例えば請求項2記載のように、請求項1記載の表示駆動装置において、前記転送範囲制御手段は、前記シフトレジスタにおける前記出力タイミングパルスの転送迂回段を設定するメモリセルを有するようにしてもよい。

【0013】また、好ましい態様として、例えば請求項3記載のように、請求項1記載の表示駆動装置において、前記出力タイミングパルス生成手段は、前記複数の走査ライン数に対応した段数を有するシフトレジスタを有し、該シフトレジスタによって、前記複数の走査ラインに供給される前記走査信号を供給するタイミングを決定する走査タイミングパルスを順に転送するようにしてもよい。

【0014】また、好ましい態様として、例えば請求項4記載のように、請求項1記載の表示駆動装置において、前記出力タイミングパルス生成手段は、前記複数の信号ライン数に対応した段数を有するシフトレジスタを有し、該シフトレジスタによって、前記複数の信号ラインに供給される前記表示データ信号を供給するタイミングを決定するサンプリングタイミングパルスを順に転送するようにしてもよい。

【0015】また、好ましい態様として、例えば請求項5記載のように、請求項1記載の表示駆動装置において、前記転送範囲制御手段は、複数のメモリセルを有し、前記複数のメモリセルの各々の出力レベルに従って、前記走査ラインに対応したシフトレジスタにおける前記走査タイミングパルスの転送迂回段を設定するようにしてもよい。

【0016】また、好ましい態様として、例えば請求項6記載のように、請求項1記載の表示駆動装置において、前記転送範囲制御手段は、複数のメモリセルを有し、前記複数のメモリセルの各々の出力レベルに従って、前記信号ラインに対応したシフトレジスタにおける前記サンプリングタイミングパルスの転送迂回段を設定するようにしてもよい。

【0017】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して説明する。

A. 第1実施形態

A-1. 第1実施形態の構成

図1は、本発明の実施形態による液晶表示装置の構成を示すブロック図である。なお、図5に対応する部分には同一の符号を付けて説明を省略する。図において、RGBデコーダ1は、RGB各色の輝度信号と水平同期信号

H、垂直同期信号Vをコンポジットビデオ信号から生成し、RGB各色の輝度信号を反転アンプ3に出力し、水平同期信号H、垂直同期信号Vおよびコンポジット同期信号CSYをコントローラ2に出力する。

【0018】コントローラ2は、水平同期信号Hおよび垂直同期信号V、コンポジット同期信号CSYに従って、信号ドライバ10に水平制御信号、走査側ドライバ11に垂直制御信号を供給し、反転アンプ3およびアンプ6に極性反転信号FRPを供給する。また、本発明に係り、コントローラ2は、LCD7の任意の領域にだけ映像を表示するためのメモリ信号MEMORY1、MEMORY2を、それぞれ信号ドライバ10および走査側ドライバ11に供給する。反転アンプ3は、コントローラ2から供給される極性反転信号FRPに従ってRGB各色の輝度信号の信号レベルを正または負の増幅率で増幅して出力する。

【0019】信号ドライバ10は、水平制御信号に従って、反転アンプ3から供給されるRGB各色の輝度信号8を、LCD7の信号ラインに供給する。このとき、上記メモリ信号MEMORY1に従って予め設定された信号ラインにのみ、RGB各色の輝度信号8を供給する。また、走査側ドライバ11は、コントローラ2からの垂直制御信号に従って、LCD7の走査ラインに順次ゲートパルスを印加する。このとき、上記信号ドライバ10と同様に、上記メモリ信号MEMORY2に従って予め設定された、LCD7の走査ラインにのみ、ゲートパルスを供給する。アンプ6は、コントローラ2から供給される極性反転信号FRPに従って、LCD7に印加する共通電圧Vcomの極性を反転する。

【0020】A-2. 信号ドライバの構成

ここで、本実施形態の動作にかかわる信号ドライバ4の構成について説明する。図2は、信号ドライバ10の構成を示すブロック図である。なお、図7に対応する部分には同一の符号を付けて説明を省略する。図において、信号ドライバ10は、制御回路4a、マルチプレクサ4b、メモリレジスタブロック10a、シフトレジスタブロック4c、レベルシフトブロック4d、サンプルホールド回路4eおよび出力バッファブロック4fから構成されている。本実施形態では、メモリレジスタブロック10aが新たに付加されたもので、他の構成については図7に示すものと同じである。また、メモリ信号MEMORY1以外の制御信号についても図7に示すものと同じである。メモリレジスタブロック10aは、信号ライン数分のメモリセルから構成されており、メモリセルの状態からどの信号ラインを有効とするかを定める。制御回路4aは、コントローラ2からメモリ信号MEMORY1に従って、上記メモリレジスタブロック10aのメモリセルの状態を設定する。

【0021】信号ドライバ10は、制御回路4aからのサンプリングスタート信号SSRTをシフトレジスタ

cにより転送し、これに従って、反転アンプ3から供給されるRGB各色の輝度信号8をサンプルホールド回路4eによりホールドして出力バッファブロック4fを介して出力する。制御部4aは、コントローラ2からのメモリ信号MEMORY1に従って、表示すべき領域に対応するメモリレジスタブロック10aのビットを「High」に設定しておく。シフトレジスタブロック4dでは、上記メモリレジスタブロック10aの「High」に設定されたメモリセルに対応するビット（信号ライン）のみが上記サンプリングスタート信号SSRTの転送に対して有効となる。

【0022】A-3. 走査ドライバの構成

次に、図3は、走査ドライバの構成を示すブロック図である。なお、図8に対応する部分には同一の符号を付けて説明を省略する。図において、走査ドライバ11は、制御回路5a、メモリレジスタブロック11a、シフトレジスタブロック5bおよび出力バッファブロック5cから構成されている。本実施形態では、信号ドライバ10と同様に、メモリレジスタブロック11aが新たに付加されたもので、他の構成については図8に示すものと同じである。また、メモリ信号MEMORY2以外の制御信号についても図8に示すものと同じである。メモリレジスタブロック11aは、走査ライン数分のメモリセルから構成されており、メモリセルの状態からどの走査ラインを有効とするかを定める。制御回路5aは、コントローラ2からメモリ信号MEMORY2に従って、上記メモリレジスタブロック11aのメモリセルの状態を設定する。

【0023】走査ドライバ11は、制御回路5aからの基準シフトタイミング信号STSをシフトレジスタブロック5bにより転送し、順次シフトパルス信号を生成して出力バッファブロック5cを介して出力する。制御部5aは、コントローラ2からのメモリ信号MEMORY2に従って、表示すべき領域に対応するメモリレジスタブロック11aのビットを「High」に設定しておく。シフトレジスタブロック5bでは、上記メモリレジスタブロック11aの「High」に設定されたメモリセルに対応するビット（信号ライン）のみが前記シフトタイミング信号STSの転送に対して有効となる。

【0024】A-4. メモリレジスタブロックおよびシフトレジスタブロックの構成

図4は、上述した信号ドライバ10および走査ドライバ11のメモリレジスタブロック10a（11a）およびシフトレジスタブロック4c（5b）の構成を示す回路図である。なお、以下の説明では、メモリレジスタブロック10a（11a）およびシフトレジスタブロック4c（5b）の構成が信号ドライバ10および走査ドライバ11ではほぼ同じであるので、主に、信号ドライバ10について説明し、走査ドライバ11については括弧内の符号を参照すればよい。

【0025】図において、メモリレジスタブロック10a(11a)は、信号ライン数分(走査ライン数分)縦列接続された1ビットのメモリセル15-1~15-nから構成されており、各メモリセル15-1~15-nにおいては、メモリ信号MEMORY1(MEMORY2)により、垂直帰線期間に、表示すべき画素列(画素行)に対応するメモリセルが「High」、表示しない画素列(画素行)に対応するメモリセルが「Low」に設定されるようになっている。各メモリセル15-1~15-nに設定された状態(「High」または「Low」)は、シフトレジスタブロック4c(5b)の対応するフリップフロップFF1~FFnの入力端に設けられているスイッチSWA1~SWAn、およびフリップフロップFF1~FFnのバイパスに介挿されたスイッチSWB1~SWBnのオン/オフ制御信号として供給されている。

【0026】また、シフトレジスタブロック4c(5b)は、クロックDCKに従って、スタート信号SSRT(基準シフトタイミング信号STS)を順次転送するための、縦列接続されたフリップフロップFF1~FFnから構成されており、それぞれの入力端と前段のフリップフロップの出力端の間には、スイッチSWA1~SWAnが介挿されているとともに、自フリップフロップの入力端と出力端とを接続するバイパスには、スイッチSWB1~SWBnが介挿されている。

【0027】該スイッチSWA1~SWAnは、対応するメモリセルの出力が「High」となると、オン状態となり、「Low」となると、オフ状態となる。また、スイッチSWB1~SWBnは、対応するメモリセルの出力が「High」となると、オフ状態となり、「Low」となると、オン状態となる。すなわち、対応するメモリセルの出力が「High」の場合には、スイッチSWA1~SWAnがオン状態、スイッチSWB1~SWBnがオフ状態となるので、フリップフロップFF1~FFnは、前段からのスタート信号SSRT(基準シフトタイミング信号STS)をクロックDCKに従って後段へ出力する。これに対して、対応するメモリセルの出力が「Low」の場合には、スイッチSWA1~SWAnがオフ状態、スイッチSWB1~SWBnがオン状態となるので、前段からのスタート信号SSRT(基準シフトタイミング信号STS)は、対応するフリップフロップをバイパス(迂回)し、次段のフリップフロップに供給される。上記構成により、「High」を設定したメモリセルに対応するフリップフロップのみにスタート信号SSRT(基準シフトタイミング信号STS)が転送され、それによって、対応する画素列にのみ表示信号(画素行のみに走査信号)が供給されるので、表示領域を任意に設定することが可能となる。

【0028】B. 実施形態の動作

次に、上述した実施形態の動作について説明する。LC

Dコントローラ2は、垂直帰線期間中に、所定のメモリ信号MEMORY1(MEMORY2)を信号ドライバ10および走査側ドライバ11に供給する。信号ドライバ10および走査側ドライバ11では、各々、制御回路4a、5aにより、メモリレジスタブロック10a、11aにおけるメモリセル15-1~15-nに対して、表示すべき画素列に対応するメモリセルを「High」、表示しない画素列(画素行)に対応するメモリセルを「Low」に設定する。

【0029】シフトレジスタブロック4c、5bでは、「High」に設定されたメモリセルに対応するスイッチSWA1~SWAnがオン状態、スイッチSWB1~SWBnがオフ状態となり、「Low」に設定されたメモリセルに対応するスイッチSWA1~SWAnがオフ状態、スイッチSWB1~SWBnがオン状態となる。

【0030】これにより、スイッチSWA1~SWAnがオン状態で、スイッチSWB1~SWBnがオフ状態であるフリップフロップFF1~FFnには、前段のフリップフロップからの出力が供給され、スイッチSWA1~SWAnがオフ状態で、スイッチSWB1~SWBnがオン状態であるフリップフロップFF1~FFnには、前段のフリップフロップからの出力が供給されない。

【0031】すなわち、信号ドライバ10では、制御回路4aからのサンプリングスタート信号SSRTをシフトレジスタ4cの有効なフリップフロップFFにより転送し、これに従って、反転アンプ3から供給されるRGB各色の輝度信号8をサンプルホールド回路4eによりホールドして出力バッファブロック4fを介してLCD7の信号ラインに出力する。また、走査ドライバ11では、制御回路5aからの基準シフトタイミング信号STSをシフトレジスタブロック5bの有効なフリップフロップFFにより転送し、順次シフトパルス信号を生成して出力バッファブロック5cを介してLCD7の走査ラインに出力する。

【0032】したがって、「High」に設定したメモリセルに対応するLCD7の信号ラインのみにRGB各色の輝度信号8が供給され、「High」に設定したメモリセルに対応するLCD7の走査ラインのみにシフトパルス信号が供給される。ゆえに、LCD7の任意の領域だけに表示するようなレターボックス表示などを、複雑な制御なしに容易に行うことが可能となる。また、1つのドライバを種々の画素数のパネルの駆動に用いることが可能となる。なお、前記実施例において、転送範囲制御手段におけるメモリセルの数は信号ライン数または走査ライン数と同数であるとしたが、前記シフトレジスタにおけるメモリセル1ビット当たりの出力タイミングパルスの迂回段数を複数として、メモリセルの数と信号ラインの数が異なるようにしてもよい。

【0033】

【発明の効果】請求項1記載の発明によれば、出力タイミングパルス生成手段により、複数の走査ラインまたは複数の信号ラインの双方、またはいずれか一方のライン数に対応した段数を有するシフトレジスタによって、前記走査信号または表示データ信号の双方、またはいずれか一方を供給するタイミングを決定する出力タイミングパルスを順に転送する際、転送範囲制御手段により、前記シフトレジスタにおける出力タイミングパルスの転送範囲を制御するようにしたので、複雑な制御なしに、画面の任意領域だけを表示する特殊表示を容易に行うことができるという利点が得られる。

【0034】また、請求項2記載の発明によれば、前記転送範囲制御手段において、前記シフトレジスタにおける前記出力タイミングパルスの転送迂回段を設定するメモリセルを有するようにしたので、複雑な制御なしに、画面の任意領域だけを表示する特殊表示を容易に行うことができるという利点が得られる。

【0035】また、請求項3記載の発明によれば、前記出力タイミングパルス生成手段によって、前記複数の走査ライン数に対応した段数を有するシフトレジスタによって、前記複数の走査ラインに供給される前記走査信号を供給するタイミングを決定する走査タイミングパルスを順に転送するようにしたので、複雑な制御なしに、画面の任意領域だけを表示する特殊表示を容易に行うことができるという利点が得られる。

【0036】また、請求項4記載の発明によれば、前記出力タイミングパルス生成手段によって、前記複数の信号ライン数に対応した段数を有するシフトレジスタによって、前記複数の信号ラインに供給される前記表示データ信号を供給するタイミングを決定するサンプリングタイミングパルスを順に転送するようにしたので、複雑な制御なしに、画面の任意領域だけを表示する特殊表示を容易に行うことができるという利点が得られる。

【0037】また、請求項5記載の発明によれば、前記転送範囲制御手段により、複数のメモリセルの各々の出力レベルに従って、前記走査ラインに対応したシフトレジスタにおける前記走査タイミングパルスの転送迂回段を設定するようにしたので、複雑な制御なしに、画面の任意領域だけを表示する特殊表示を容易に行うことができるという利点が得られる。

【0038】また、請求項6記載の発明によれば、前記

転送範囲制御手段により、複数のメモリセルの各々の出力レベルに従って、前記信号ラインに対応したシフトレジスタにおける前記サンプリングタイミングパルスの転送迂回段を設定するようにしたので、複雑な制御なしに、画面の任意領域だけを表示する特殊表示を容易に行うことができるという利点が得られる。

【図面の簡単な説明】

【図1】本発明の実施形態による表示駆動装置の構成を示すブロック図である。

【図2】信号ドライバの略構成を示すブロック図である。

【図3】走査ドライバの略構成を示すブロック図である。

【図4】メモリレジスタブロックおよびシフトレジスタブロックの構成を示す回路図である。

【図5】従来のTF-T液晶表示パネルを駆動する表示駆動装置の一部構成を示すブロック図である。

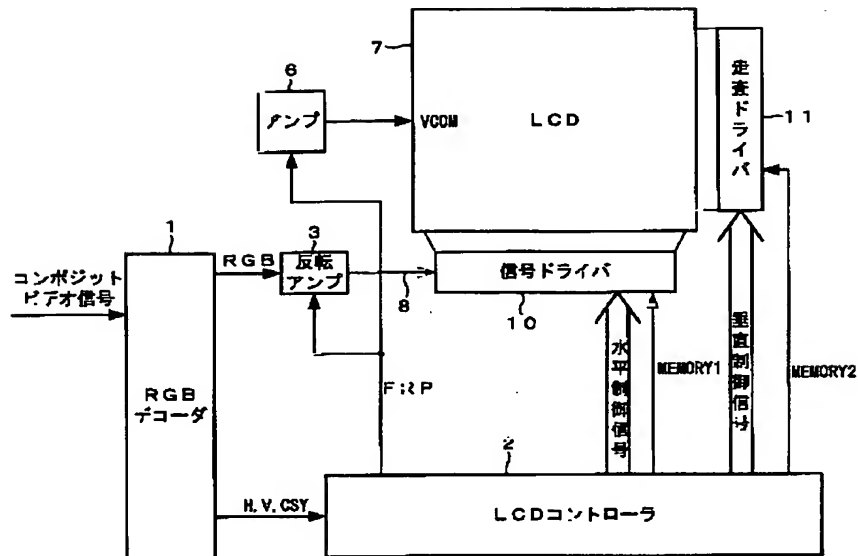
【図6】従来の表示駆動装置における信号ドライバの構成を示すブロック図である。

【図7】従来の表示駆動装置における走査ドライバの構成を示すブロック図である。

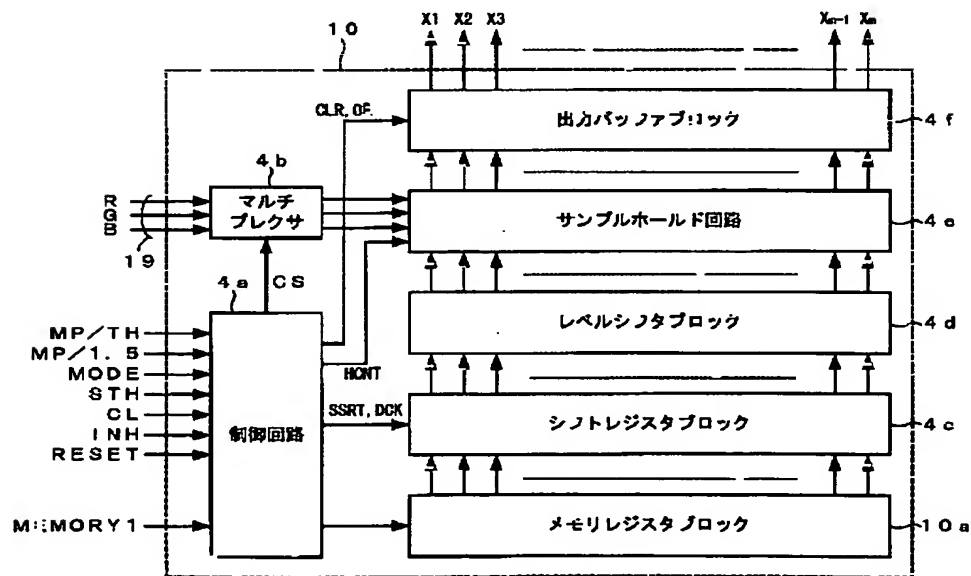
【符号の説明】

- 1 RGBデコーダ
- 2 コントローラ
- 3 反転アンプ
- 4c シフトレジスタブロック（シフトレジスタ、出力タイミングパルス生成手段、サンプリングタイミングパルス生成手段）
- 4e サンプルホールド回路
- 4f 出力バッファブロック
- 5b シフトレジスタブロック（シフトレジスタ、出力タイミングパルス生成手段、走査タイミングパルス生成手段）
- 5c 出力バッファブロック
- 6 アンプ
- 7 LCD
- 10 信号ドライバ
- 11 走査ドライバ
- 10a メモリレジスタブロック（転送範囲制御手段）
- 11a メモリレジスタブロック（転送範囲制御手段）

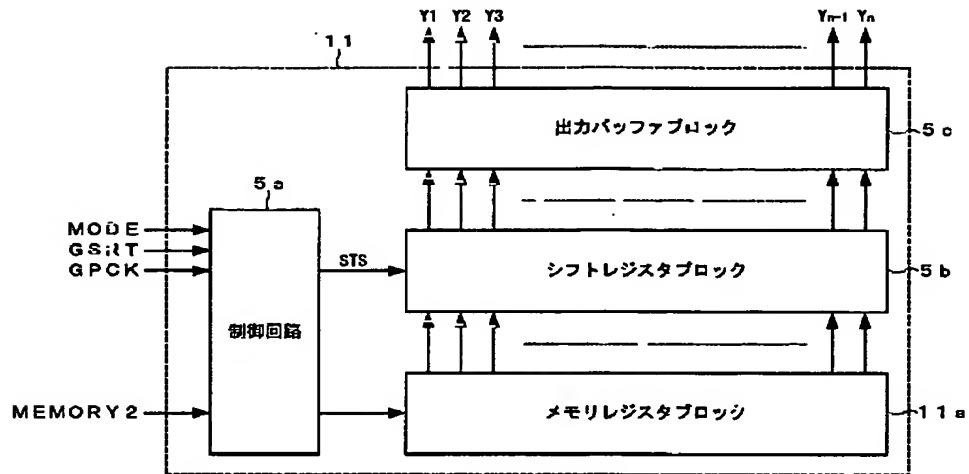
【図1】



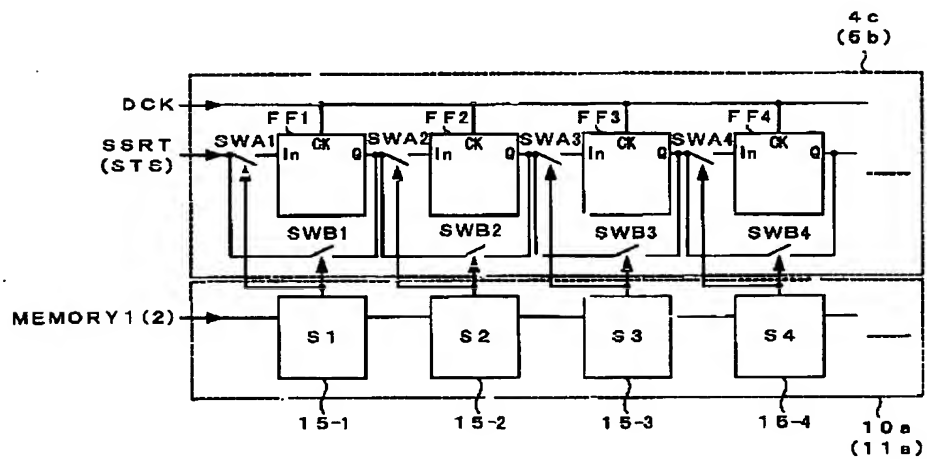
【図2】



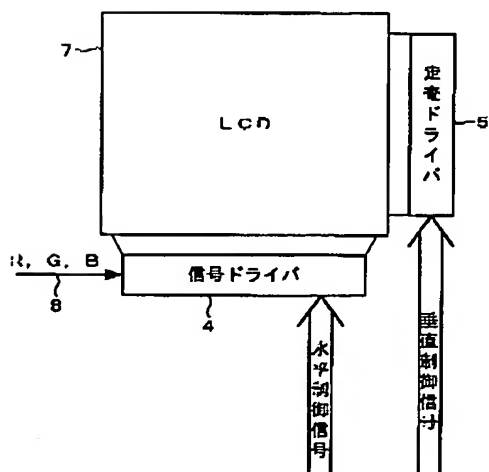
【図3】



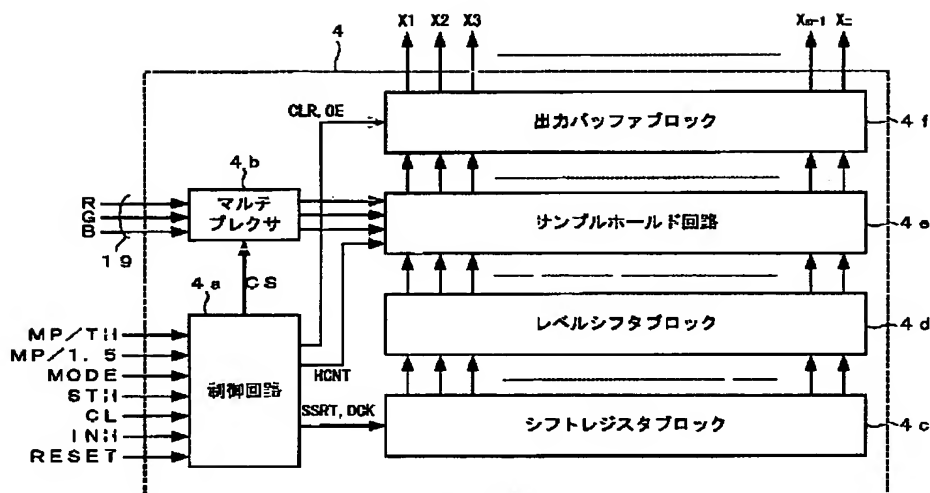
【図4】



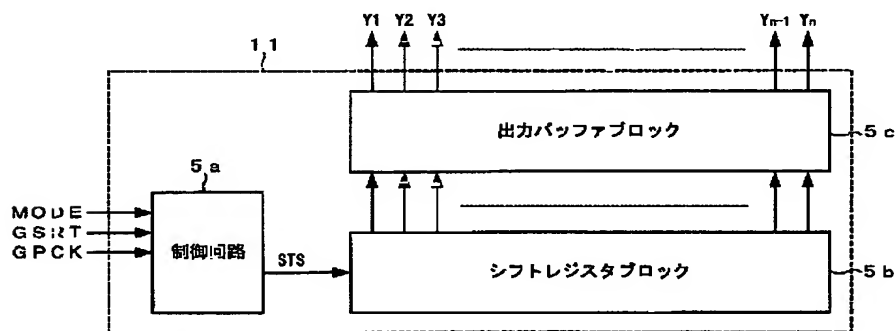
【図5】



【図6】



【図7】



フロントページの続き

Fターム(参考) 2H093 NA06 NC09 NC16 NC22 NC23
 NC28 ND17
 5C006 AA01 AA22 AF34 AF42 AF51
 AF73 BB16 BC03 BC12 BF03
 BF05 BF06 BF11 BF24 BF25
 BF31 BF46 FA05 FA41
 5C080 AA10 BB05 CC03 DD21 DD22
 DD30 EE26 EE32 FF11 GG12
 JJ02